

スタブを用いた電源安定化手法

名倉 徹[†] 池田 誠^{†,††} 浅田 邦博^{†,††}

[†] 東京大学大学院 工学系研究科

^{††} 東京大学 大規模集積システム設計教育研究センター (VDEC)

[†] 〒 113-8656 東京都文京区本郷 7-3-1

E-mail: [†]{nakura,ikeda,asada}@silicon.u-tokyo.ac.jp

あらまし スタブを LSI の電源線に直接接続することにより di/dt 電源ノイズを削減することが可能であることを示す。HSPICE シミュレーションによると、1.8V、2.5GHz 動作のテスト回路において、電源線にスタブを接続することにより、無付加・同一面積容量を接続した場合に比べてそれぞれ 48%、26% の電源ノイズを削減することが示された。また、本手法は周波数が高くなるほど効果的に働き、将来の高速化 LSI デバイスにおいて、さらに有効であることを示す。

キーワード スタブ, di/dt ノイズ, 寄生インダクタンス, 電源ノイズ, 伝送線路, 等価終端近似

Power Supply Noise Reduction using Stubs

Toru NAKURA[†], Makoto IKEDA^{†,††}, and Kunihiro ASADA^{†,††}

[†] Dept. of Electronic Engineering, University of Tokyo

^{††} VLSI Design and Education Center (VDEC), University of Tokyo

[†] 7-3-1, Hongo, Bunkyo-ku, Tokyo, 113-8656 Japan

E-mail: [†]{nakura,ikeda,asada}@silicon.u-tokyo.ac.jp

Abstract This paper describes a di/dt noise reduction method, which attaches stubs to the power line in LSI chips. A theoretical model of lossy transmission line stub is investigated, and simulation results show that the stub can reduce 48% and 26% of the noise compared with the nothing attached case, and de-coupling capacitor case, respectively, at a 2.5GHz 1.8V operation test circuit. It is also shown that this method will work more efficiently for further high frequency operation chips.

Key words stub, di/dt noise, parasitic inductance, power supply noise, transmission line, equivalent termination approximation

1. はじめに

LSI の高速化・集積化によって電源ノイズが大きくなるとともに、低電圧化によってノイズマージンの低下を招き、電源ノイズが LSI 回路の誤動作の原因となって信頼性を低下させている。微細化の進行によって回路の高速化は今後も続くことが予想され、トランジスタのスイッチングとパッケージなどの寄生インダクタンスが原因となる di/dt ノイズが深刻な問題となってくる。また、 di/dt による EMI(Electro-Magnetic Interference: 電磁放射) ノイズも問題となる。

di/dt を抑えるために、非同期回路方式 [1] やデカップリング容量を用いる方法 [2]、PCB ボード上にインダクタを形成する手法 [3] などが提案されている。しかし、これらの方法は設計が複雑であったり、市販の EDA ツールが対応していなかったりして、現実的ではない。デカップリング容量を用いる場合も、

チップ内部に形成するとチップ面積の増大につながり、チップ外部に用いる場合も、容量の端子自体の寄生インダクタの影響で高周波では効果が小さい。

本発表では、スタブを LSI の電源線に接続することで di/dt を削減する手法について提案する [4]。スタブに関しては、有線

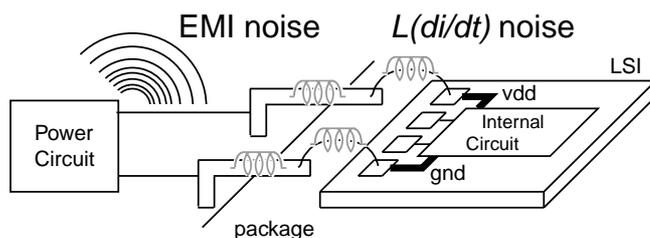


図1 EMI ノイズ、および、パッケージ・ボンディングワイヤの寄生インダクタンスと di/dt ノイズ。

通信におけるインピーダンスマッチングなどに広く使用されており、理論も確立しているように見えるが、通常、抵抗の影響を無視することが多い。LSI 回路の内部配線を伝送線路として解析する手法 [5] も提案されているが、信号線を想定している。本研究の目的は、LSI の電源ノイズ削減のためのスタブ理論を確立し、それを実証することである。

2. スタブ理論

2.1 基本概念

動作周波数の上昇によって電圧・電流波長と配線距離が同程度になると、信号が配線を伝達する時間が無視できなくなり、配線を抵抗・容量ではなく、伝送線路として扱う必要がある。このとき、特性インピーダンス Z_0 、伝搬定数 γ は

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (1)$$

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)} \quad (2)$$

と表される。ここで R, L, G, C はそれぞれ単位長さあたりの抵抗、インダクタンス、コンダクタンス、容量である。このとき前進波・後進波はそれぞれ $V_f e^{-\gamma z}$ 、 $V_b e^{\gamma z}$ と表され、これはさらに位相定数 β_r と減衰定数 α を使って

$$V_f e^{-\gamma z} \equiv V_f e^{-\alpha z} e^{-j\beta_r z} = V_f e^{-(\alpha + j\beta_r)z} = V_f e^{-j(\beta_r - j\alpha)z} \quad (3)$$

と表すことができ、それぞれ

$$\alpha = \text{real}(\gamma), \quad \beta_r = \text{imag}(\gamma) \quad (4)$$

である。また、複素伝搬定数として β_c を次のように定義できる

$$\beta_c = \beta_r - j\alpha. \quad (5)$$

この複素伝搬定数を用いることにより、前進波・後進波はそれぞれ $V_f e^{-j\beta_c z}$ 、 $V_b e^{j\beta_c z}$ と表される。

特性インピーダンス Z_0 、長さ l 、終端インピーダンス Z_l の伝送線路の入力インピーダンスは

$$Z_{stub} = Z_0 \frac{Z_l \cos \beta_c l + jZ_0 \sin \beta_c l}{Z_0 \cos \beta_c l + jZ_l \sin \beta_c l} \quad (6)$$

と表され、解放終端 ($Z_l = \infty$) では

$$Z_{stub} = Z_0 \frac{\cos \beta_c l}{j \sin \beta_c l} \quad (7)$$

となる。ここで、伝送線路が無損失 ($R = G = 0$) かつ、信号波長の 4 分の 1 の長さ ($\beta_c l = \pi/2$) であれば、スタブの入力インピーダンスは

$$Z_{stub} = 0 \quad (8)$$

となり、これは無限大の容量と等価である。したがって、図 2 に示すように、このスタブを LSI の電源線に接続することにより、電源ノイズを低減することができる。

LSI 回路におけるスイッチング電流の主要な成分はクロック周波数 f_0 であり、スタブ長はクロック周波数に合わせて設計される。

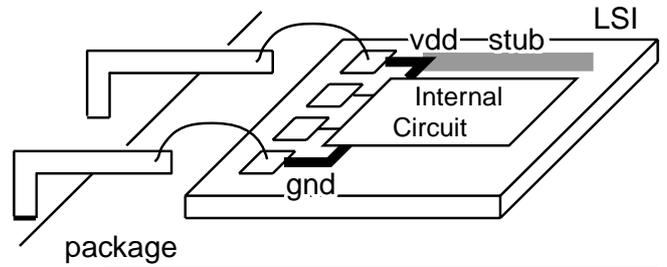


図 2 電源線へのスタブ接続によるノイズ削減。

$$l = \frac{\pi/2}{\beta_{r0}} = \frac{\lambda_0}{4} \quad (9)$$

ここで λ_0 は伝送線路上の信号波長である。スタブ長を周波数 f_0 に合わせて設計した場合、式 (7) から分かるように、 $(2n - 1)f_0$ の周波数成分も吸収する

$$\cos(\beta_c l) \approx \cos[(2n - 1)\beta_{r0} l] = \cos \frac{(2n - 1)\pi}{2} = 0. \quad (10)$$

その半分の長さのスタブを別途接続することにより、その 2 倍の高調波 $2f_0$ とその奇数倍の周波数 $(2n - 1) \cdot 2f_0$ ノイズも低減される。

2.2 等価終端近似 (ETA)

電源線のインピーダンスは低く設計されるため、スタブの抵抗成分を無視することはできない。減衰係数 α を持つ伝送線路の周回伝搬減衰率 η は

$$\eta = e^{-\alpha 2l} \quad (11)$$

と表される。

開放終端線路においては、伝搬ロスが唯一の減衰となる。一方、伝搬ロスのない理想線路に有限のインピーダンス終端をした場合は反射が唯一のロスとなる。ここで、等価終端近似 (Equivalent Termination Approximation: ETA) 手法を提案する。等価終端近似では、抵抗成分付き開放終端線路の伝搬ロスを、理想線路の等価インピーダンス終端による反射ロスとして扱う。つまり、周回伝搬減衰率 η と同じ反射係数 Γ_{IEquiv} となるような抵抗で終端された理想線路と近似する。

$$\eta = \Gamma_{IEquiv} \equiv \frac{Z_{IEquiv} - Z_{0Ideal}}{Z_{IEquiv} + Z_{0Ideal}} \quad (12)$$

であり、したがって等価終端インピーダンス Z_{IEquiv} は

$$Z_{IEquiv} = Z_{0Ideal} \frac{1 + \eta}{1 - \eta} \quad (13)$$

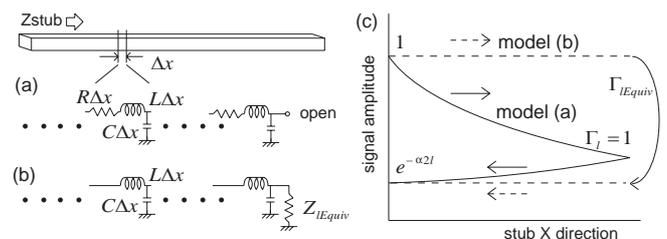


図 3 (a) 抵抗有り伝送線路の開放終端 - 現実モデル。 (b) 理想伝送線路の等価抵抗終端 - 等価終端近似。 (c) スタブの長さ方向での電圧分布。

となる。このとき、4分の1波長のスタブ ($\beta_r l = \pi/2$) の入力インピーダンスは

$$Z_{stubEquiv} = Z_{0Ideal} \frac{Z_{IEquiv} \cos(\frac{\pi}{2}) + jZ_{0Ideal} \sin(\frac{\pi}{2})}{Z_{0Ideal} \cos(\frac{\pi}{2}) + jZ_{IEquiv} \sin(\frac{\pi}{2})} \quad (14)$$

$$= \frac{Z_{0Ideal}^2}{Z_{IEquiv}} = Z_{0Ideal} \frac{1 - \eta}{1 + \eta} \quad (15)$$

となる。

2.3 スタブの設計

スタブ幅を広げることでスタブの抵抗を下げる事ができる。一方、スタブ幅を広げると図6で示されるように、同じ面積で形成されるデカップリング容量が大きくなり、スタブでのノイズ削減と容量でのノイズ削減の区別がつかなくなる。本研究の目的はスタブの有効性を示すことであるため、ここでは、「スタブによる電源ノイズ低減効果と、同一面積のデカップリング容量による電源ノイズ低減効果との差が明確になる」ようなスタブを設計する。

ここではH社の0.18 μ m、5層メタル、標準CMOSプロセスを仮定し、チップの動作周波数を2.5GHzとした。ML1をGNDとすることで、電界がシリコン内部に入り込んで誘電体損失を起こすのを防ぐ。ここでは、3種類のスタブ構造をシミュレーションする。ML5のみ、ML4とML5、ML3-ML5をそれぞれスタブの信号線(電源線)として、そのスタブ幅を変化させ、それぞれの場合におけるスタブと同一面積デカップリング容量の

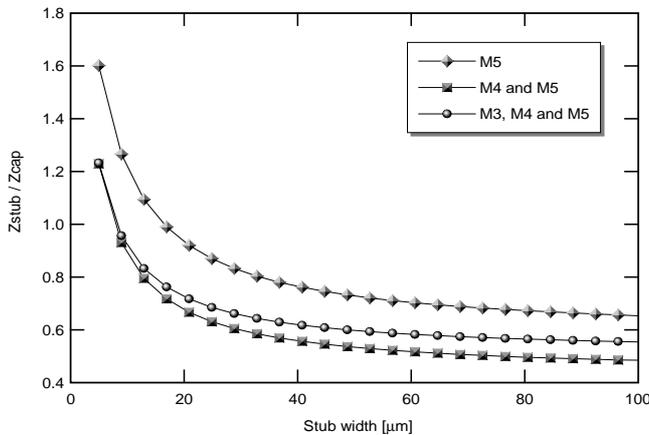


図4 3種類のスタブ構造における、スタブと同一面積デカップリング容量の入力インピーダンス比。スタブ幅をスイープした。ML1をGNDとする。

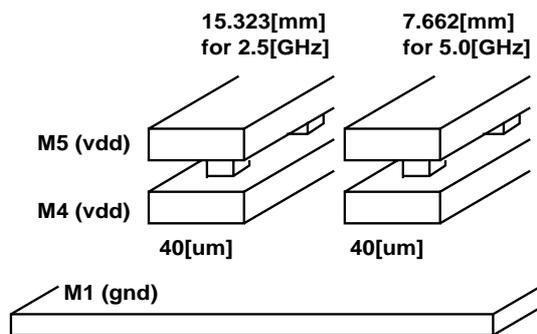


図5 スタブ構造。R=500 Ω /m, L=102nH/m, C=407pF/m, G=0.

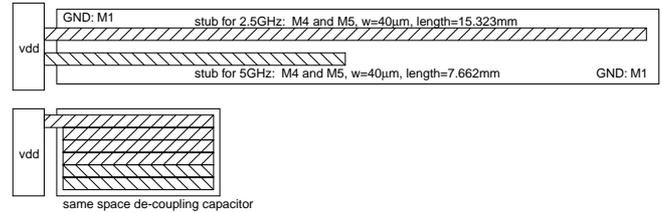


図6 スタブ構造と同一面積デカップリング容量の構造。

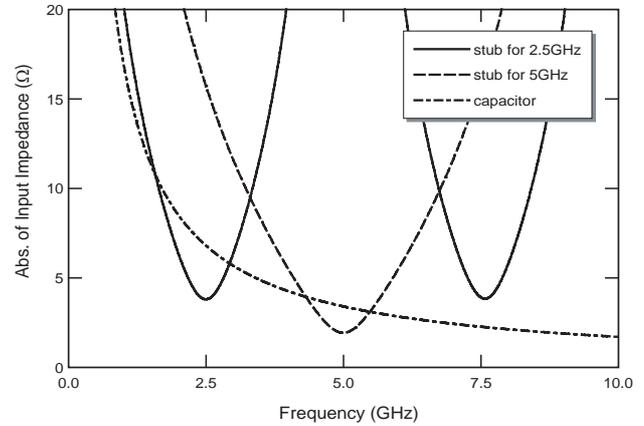


図7 スタブと同一面積容量における入力インピーダンスの周波数依存性。

入力インピーダンスの比を計算した結果を図4に示す。容量値・インダクタンス値はRaphaelの2次元電磁界解析によって求めた。抵抗値はDCでのシート抵抗の測定値を元に計算した。また、誘電体損失はゼロとした。スタブの入力インピーダンスは式(7)を用いて計算した。

図4より、ここではスタブをML4とML5で形成し、幅40 μ mとした。 Z_{stub}/Z_{cap} が小さいほどノイズの差は大きくなり、幅が大きいと必要面積が大きくなる。比の値は40 μ m周辺で飽和している。この構造では、スタブ長は2.5GHz向けに15.323mm、5GHz向けに7.662mmとなる。図5および図6に、スタブと同一面積容量の構造を示す。この構造におけるスタブの伝送線路パラメータはR=500 Ω /m, L=102nH/m, C=407pF/mであり、同一面積容量は $C_p = 407\text{pF/m} \times (15.323 + 7.662\text{mm}) = 9.4\text{pF}$ である。

図7にスタブと同一面積容量の入力インピーダンスの周波数依存性を示す。目的とする周波数ではスタブの入力インピーダンスの方がデカップリング容量の入力インピーダンスよりも低くなっていることが分かる。

ここで、表皮効果は無視して電流はスタブ断面積に均一に流れると仮定した。また、ノイズ低減の観点から見ると、面積制限が無い場合は幅の広いスタブが望ましい。

3. HSPICE シミュレーション

3.1 テスト回路

図8にテスト回路を示す。2⁷-1疑似ランダムパターン発生回路(Pseudo Random Bit Stream: PRBS)の各出力にインバータ列を接続して、クロック毎にランダムなスイッチングノイズを発生させる。インバータ列のインバータ数は2から12まで分布しており、これは最も一般的な同期回路のDFF間のパスの

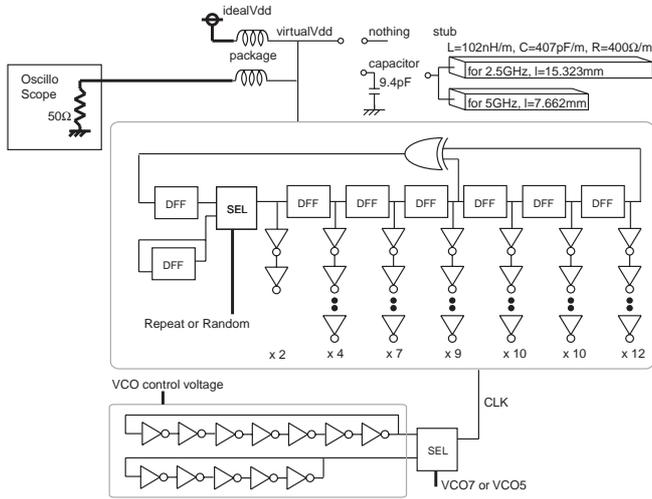


図8 テスト回路.

長さの分布を模擬している。最も長いインバータ列の遅延は2.5GHz クロック周期よりも短い。VCO を内蔵し、外部から容易にクロック周波数を変化させることが可能である。

電源線に何も接続しなかった場合、同一面積のデカップリング容量を接続した場合、スタブを接続した場合、の3種類について、それぞれの場合の内部電源のノイズに注目する。実際の測定系として、電源線に測定用ピンを直接接続し、50Ω系の高速測定オシロスコープで観測することを想定している。この時、Vdd がパッケージの寄生素子を通じて50Ωで接続されるため、実際の使用状況での電源ノイズとは異なるが、「50Ωも含めた電源系における電源ノイズの違い」を観測することでスタブの効果を見積もることができる。なお、電源線のパッケージ・ボンディングワイヤの寄生インダクタンスを0.5nHと仮定した。

3.2 シミュレーション手法

SPICE 回路シミュレーションをするにあたり、スタブの等価回路として、図3(a)に示すようなRCLを梯子型に接続した回路を考慮することができる。しかしこの方法は、疑似LC発振をなくすために梯子の段数を増やす必要があるとともに、インダクタンスを使用するためにシミュレーションが収束しにくく、時間がかかるという欠点がある。ここでは、等価終端近似で計算される終端抵抗と理想伝送線路を用いることにより、シミュレーション時間が13%短縮された。

3.3 シミュレーション結果

図8におけるvirtualvdd端子の3種類の電源系でのHSPICEシミュレーション波形を図9(a)に示す。動作周波数は2.5GHzである。電源ノイズの大きさの指標として、ここでは、理想電圧値からの差分を標準偏差 σ で表すことにする。無付加/容量/スタブの電源系における σ はそれぞれ0.107/0.075/0.055であり、スタブを用いることで無付加/容量と比較してそれぞれ48%/26%のノイズを低減できたことが分かる。図9(b)に電源電圧波形にFFTを掛けて得られたノイズスペクトルを示す。スタブを用いることにより、2.5GHz成分は58%/36%、5GHz成分は63%/36%のノイズを低減できていることが分かる。

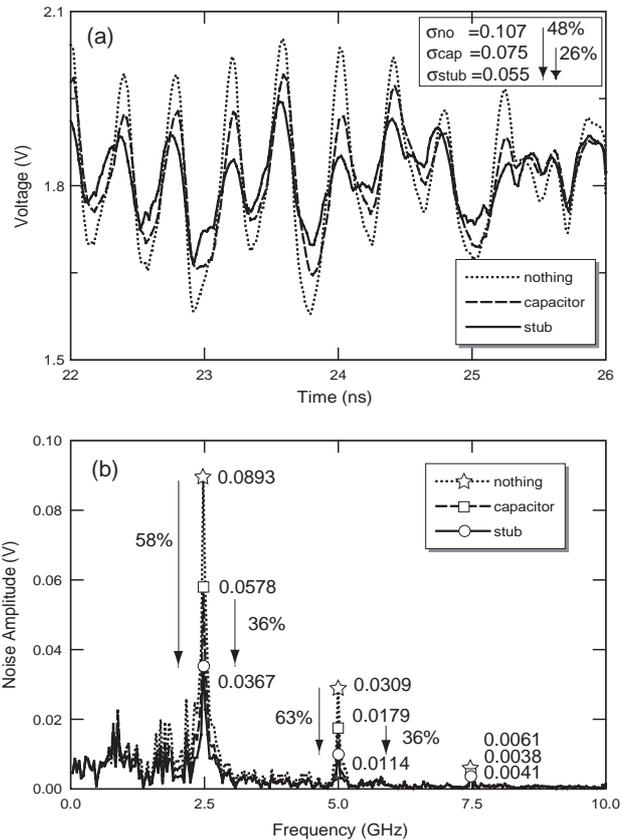


図9 (a) virtualVdd ノードのシミュレーション波形. (b) そのスペクトル.

4. 考察

4.1 周波数成分

トランジスタが毎クロック同じタイミングで動作する場合は、電流波形・電源ノイズは nf_0 成分しか持たない。しかし、毎クロックでランダムなスイッチングが起こる場合は図9(b)に示すように nf_0 でない成分を持ち、スタブでは吸収できない。

スタブの入力インピーダンスは初期状態では Z_0 であり、定常状態では Z_{stub} となる。 Z_0 から Z_{stub} へと変化するには時定数 τ が必要であり、等価終端近似を用いると

$$\tau = \frac{1}{-2f \log |\eta \Gamma_s|} \quad (16)$$

と表すことができ、 Γ_s は近端での反射係数である。今回のスタブでは、その値は2.5GHz/5GHzスタブにおいて557ps/603psであり、2.5GHzの2クロックサイクル程度の時間となる。

nf_0 以外の成分を持つことと、入力インピーダンスが時定数を持って変化することが原因でスタブのノイズ低減効果は低くなってしまいが、それでも図9(a)に示すようにノイズの低減に有効であることが分かる。

4.2 遠端での電圧振幅

スタブが特定の周波数成分を蓄積・供給することで、AC電流がパッケージの寄生インダクタンスを通じて供給される必要がなくなり、電源ノイズが低減される。ここで、スタブはスタブ自身の電圧を振動させることでエネルギーを蓄積しており、したがって、スタブ遠端の電圧振幅が最大となる。スタブの近

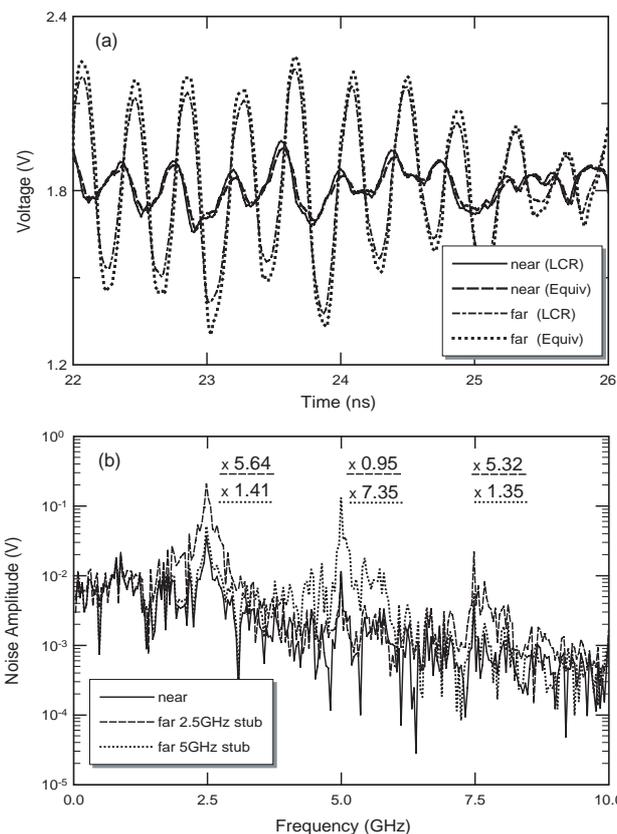


図10 (a) 近端 (virtualVdd) および 2.5GHz スタブ遠端の動作波形。100 段梯子型 LCR 回路、および、等価終端近似モデル使用。(b) 近端 (virtualVdd) および 2.5GHz・5GHz スタブ遠端のスペクトル。等価終端近似モデル使用。

端と遠端での電圧比は、等価終端近似を用いると

$$\frac{V_{far}}{V_{near}} = -j \frac{1 + \eta}{1 - \eta} \quad (17)$$

となる。今回のテスト回路において、2.5GHz、5GHz スタブにおける電圧比はそれぞれ 4.26、8.27 となる。このスタブを LSI 内部に内蔵する場合、遠端の電圧が電源電圧よりも高くなるため、層間絶縁膜の破壊電圧を越えないように注意する必要がある。図 10(a) に近端と遠端での電圧波形を示す。ここでは、スタブを 100 段の梯子型 LCR 回路とした場合と、等価終端近似を用いて理想伝送線路と終端抵抗とした場合の波形を重ねて示す。また、図 10(b) には近端、2.5GHz スタブ遠端、5GHz スタブ遠端でのスペクトルを示す。2.5GHz スタブでは 2.5GHz、7.5GHz 成分、5GHz スタブでは 5GHz 成分のノイズをそれぞれ蓄積していることが分かり、これは図 7 に示す結果と一致する。近端と遠端の比の値が理論値と異なるのは、これが過渡解析であり、定常状態ではないことに由来している。

4.3 高周波での効果

スタブ長は動作周波数に反比例する。スタブ幅が一定の場合は、同一面積デカップリング容量も動作周波数に反比例するため、その入力インピーダンス $|Z_{cap}| = 1/\omega C_p$ は周波数が高くなると小さくなる。スタブの入カイン

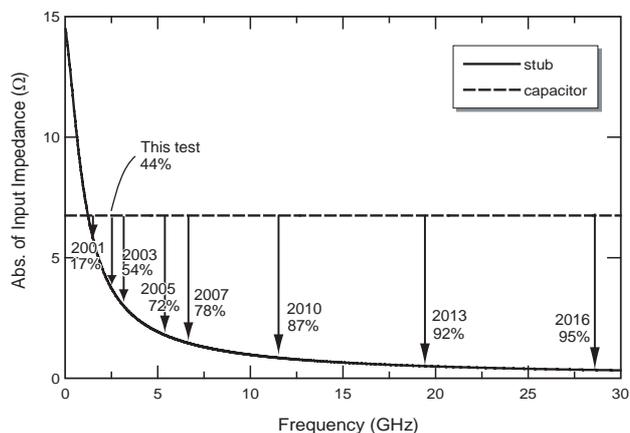


図11 スタブ・同一面積容量の入カインピーダンスの動作周波数依存性、および、ITRS ロードマップによる動作周波数予測と、その周波数における入カインピーダンスの比。

ピーダンスと同一面積のデカップリング容量の動作周波数依存性を図 11 に示す。スタブの断面構造は今回のテストで用いたものと同じ構造とした。また、ITRS (International Technology Roadmap for Semiconductors) のロードマップに示されている動作周波数における、スタブと容量の入カインピーダンスの比を、その実現年代と共に示す。

ノイズ電圧は、寄生インダクタンス、電源-グランド間容量、ウェル容量などの様々な要因によって決まるため、入力インピーダンスの比がそのままノイズ量の比になるわけでは必ずしもないが、クロック周波数が上昇するに従ってスタブのノイズ低減効果が大きくなるのが分かる。

4.4 スタブ構成

本稿では、スタブをチップに内蔵することを前提として話を進めてきた。しかし、スタブをパッケージ内部や、PCB ボード上に形成することでも電源ノイズを抑えることが可能である。LSI に内蔵する場合は配線プロセスの微細化に起因してスタブの抵抗値が大きかったが、パッケージ内部や PCB ボード上に形成する場合は、低抵抗の配線を使用することが可能であり、さらなるノイズ削減効果が期待できる。ただし、スタブよりも内側にあるボンディングワイアの寄生インダクタンスなどは、 di/dt ノイズの原因となってしまう。

近年、特に携帯機器を中心に、動的に動作周波数を変化させることがある。スタブ長は動作周波数に合わせて設計する必要があり、動的に変化させることはできない。ただし、今回は最もシンプルな構造である開放終端スタブを使用したが、必要であれば、容量終端やインダクタンス終端として、その容量値やインダクタンス値を動的に変化させることで、スタブ長を等価的に変化させて、その抑制周波数を動的に変化させることが可能である。

5. まとめ

スタブを用いて電源ノイズを低減できることを理論的に示した。2.5GHz 動作のテスト回路におけるシミュレーション結果によると、1.8V 電源電圧において無付加、同一面積デカップリ

ング容量と比較して、それぞれ 48%, 26%のノイズが低減された。また、等価終端近似を用いることで抵抗を持つスタブの理論解析が可能となった。このスタブは周波数が高いほどその効果を発揮することを示した。

謝 辞

本研究で御協力いただいた東京大学大規模集積システム設計教育研究センター (VDEC) 及び関係者の皆様に感謝致します。

文 献

- [1] Mustafa Badaroglu, Kris Tiri, Stephane Donnay, Piet Wambacq, Ingrid Verbauwhede, Georges Gielen, Hugo De Man, "Clock Tree Optimization in Synchronous CMOS Digital Circuits for Substrate Noise Reduction Using Folding of Supply Current Transients," in *Proc. 39th Design Automation Conf.*, June 2002, pp.399-404.
- [2] K. Y. Chen, William D. Brown, Leonard W. Schaper, Simon S. Ang, Hameed A. Naseem, "A Study of the High Frequency Performance of Thin Film Capacitors for Electronic Packaging," *IEEE Trans. Advanced Packag.*, May 2000, pp.293-302.
- [3] Hirokazu Tohya, "New Technologies Doing Much for Solving the EMC Problem in the High Performance Digital PCBs and Equipment," *IEICE Trans. Fundamentals*, March 1999, pp.450-456.
- [4] Toru Nakura, Makoto Ikeda, Kunihiro Asada, "Theoretical Study of Stubs for Power Line Noise Reduction," in *Proc. 2003 Custom Integrated Circuit Conf. (CICC)*, Sept. 2003, 31-4.
- [5] Payam Heydari, Soroush Abbaspour, Massoud Pedram, "A Comprehensive Study of Energy Dissipation in Lossy Transmission Lines Driven by CMOS Inverters," in *Proc. 2002 Custom Integrated Circuits Conf.*, May 2002, 25-6.
- [6] "International Technology Roadmap for Semiconductors 2002 Update," [Online] Available: <http://public.itrs.net/>