

ボディ電圧制御型 SOI ゲートアレイを用いた 0.5V 320MHz 8ビット MUX/DEMUX

名倉 徹、*廣田尊則、上田公大、益子耕一郎、*浜野尚徳

三菱電機 (株) システム LSI 事業化推進センター
*三菱電機 (株) システム LSI 事業統括部
〒664-8641 伊丹市瑞原4-1

Tel: 0727-84-7332

E-mail: nakura@lsi.melco.co.jp

あらまし

低電源電圧における LSI の高速、低電力動作を実現する手段としてボディ (ウェル) 電位を動的に変化させる回路技術が提案されている。今回、0.32 μ m ボディ電圧制御型 SOI/CMOS ゲートアレイを開発した。また、ドレイン容量が小さいという SOI/CMOS のメリットを活かした新規フリップフロップ回路の提案を行い、本回路を用いてゲートアレイ上に携帯機器等の通信用 LSI システムのキーデバイスである 8ビット Multiplexer, Demultiplexer を試作し、評価を行った。0.5V の低電源電圧のもとで、Demultiplexer は 380MHz, 2mW, Multiplexer は 380MHz, 1.4mW の高速、超低電力動作を得た。

キーワード

SOI, DTMOS, ゲートアレイ, マルチプレクサ, デマルチプレクサ

0.5V 320MHz 8bit MUX/DEMUX based on DTMOS SOI/CMOS gate array

Toru NAKURA, *Takanori Hirota, Kimio UEDA,
Koichiro MASHIKO, *Hisanori HAMANO

System LSI Develop Center, Mitsubishi Electric Corp.
*System LSI Division, Mitsubishi Electric Corp.
4-1 Mizuhara, Itami, Hyogo, 664-8641 Japan

Tel: +81-727-84-7332

E-mail: nakura@lsi.melco.co.jp

Abstract

Several ideas have been proposed to realize high-speed and low-power circuits by dynamically controlling body (well) voltage of CMOS LSIs. Taking advantage of small junction capacitance inherent to SOI structure, we have built an 8bit multiplexer and demultiplexer, which is the key component in high-speed communication systems, based on our DTMOS (Dynamic Threshold MOS) SOI/CMOS gate array. At the supply voltage of 0.5V, the demultiplexer and the multiplexer operate at 320MHz and 380MHz with the power dissipation of 2mW and 1.4mW, respectively.

key words

SOI, DTMOS, Gate Array, Multiplexer, Demultiplexer

1. はじめに

携帯電話やノートパソコンなどの携帯機器の需要が増加している。また、リストアップコンピュータのような太陽電池駆動の超小型機器が、近い将来、新しいマルチメディアマーケットを作り出していくと考えられる。これらの機器は、小型化、高性能化、長時間動作化が強く求められており、搭載するLSIの更なる低電力化、高速化を実現する必要がある。

CMOS LSIの消費電力は、動作速度と充放電する負荷容量に比例し、電源電圧の2乗に比例する。よって消費電力を削減するには、電源電圧を下げるのが最も有効である。しかし、電源電圧のみを単純に下げた場合にはMOSトランジスタの負荷駆動能力が低下する。このため速度性能を維持するためにトランジスタのしきい値電圧も小さくしなければならず、オフ時のサブスレッショルド電流の増加による待機時電力の増大が問題となっている。最近、これらの問題点を解決するために、トランジスタのしきい値電圧を動的に変化させる新しい回路技術が提案された [1]。これは基板（ウエル）電位をコントロールすることにより、ボディバイアス効果を介して回路ブロックのスリープ時にしきい値電圧を上げて待機時電力を減らし、アクティブ時にしきい値電圧を下げて回路の高速動作を可能にするものである。

一方、デバイス技術の観点からは、絶縁基板の薄膜シリコン層に形成されたSOI/CMOSトランジスタ（Silicon On Insulator -CMOS）が将来のデバイス候補として期待されている。SOI/CMOSは、トランジスタのソース/ドレイン領域が絶縁層（SiO₂）に接しているため接合容量が小さく、通常のCMOS（bulk/CMOS）に比べて高速かつ低消費電力で動作する。また、トランジスタのボディ領域（bulk/CMOSのウエル領域に相当）が小さく、しかも基板と分離されているため、 α 線や中性子線によ

るソフトエラー耐圧にも優れている [2]。さらに、各々のトランジスタが埋め込み酸化膜及びLOCOS酸化膜によって分離されるため、bulk/CMOSトランジスタに比べてボディ電圧の制御が容易であるという特徴を持つ。

本論文では、このSOI/CMOSトランジスタに注目し、ボディ電圧制御型回路を組み込んだ新しいタイプのゲートアレイを提案する。また、携帯機器等の通信用LSIシステムのキーデバイスであるマルチプレクサ（MUX：パラレル/シリアル変換）、デマルチプレクサ（DEMUX：シリアル/パラレル変換）LSIについて検討し、ボディ電圧制御型SOIゲートアレイを用いてMUX、DEMUX LSIを試作した結果について述べる。

2. ボディ電圧制御型SOI/CMOSトランジスタの特徴

図1に、bulk/CMOSトランジスタとSOI/CMOSトランジスタの断面図、及びボディ電圧の制御に関して両者の特徴を比較した結果を示す。bulk/CMOSでウエルの電位を変化させるには、ウエルと基板の電位の分離にトリプルウエル構造を必要とする。また、トランジスタのウエルと分離用のウエルとの間に大きな接合容量が生じるため、この寄生容量によってトランジスタを高周波で動作させるのは難しい。これに対して、SOI/CMOSは、個々のトランジ

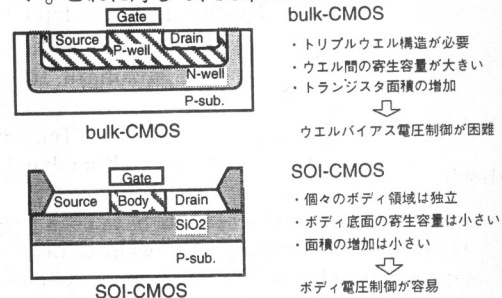


図1 デバイスの断面構造

容量
body 同形物 (PD/BW...?)
bulkin 2x12x4 P
uk, uk/2, uk/4

スタのボディ領域が埋込酸化膜とLOCOS酸化膜で本質的に分離されるため、PN接合分離を必要とするbulk/CMOSに比べて小面積である。また、ボディ領域に寄生する容量が小さく、高周波でのボディ電圧制御が可能である。これらの点からSOI/CMOSはボディ電圧の制御に適したデバイス構造といえる。

図2は、ボディ電圧のトランジスタ特性に与える影響を評価した結果である。横軸はトランジスタのゲート電圧、縦軸はトランジスタのドレイン電流を示す。細線は、トランジスタのボディ領域をNMOSで0V、0.3V、0.5V、PMOSで0V、-0.3V、-0.5Vにバイアスした時の特性を示す。ドレイン電圧は0.5Vで評価した。ボディ電圧の印加によって最大のドレイン電流は増加するが、同時にトランジスタのオフ電流も増加する。太線は、トランジスタのゲート端子とボディ端子を接続してドレイン電流を測定した結果を示す。最大のドレイン電流は大きな値を示しながら、オフ時の電流は非常に小さな値まで抑制されていることが分かる。これは、トランジスタのボディ領域がゲート端子と同電位にバイアスされるため、トランジスタがオンしたときにはボディバイアス効果によってしきい値電圧が小さくなり、オフ時にはしきい値電圧が高くなることによる。本評価結果から、トランジスタのゲート端子とボディ端子を接続した構成は、高速動作と低消費電

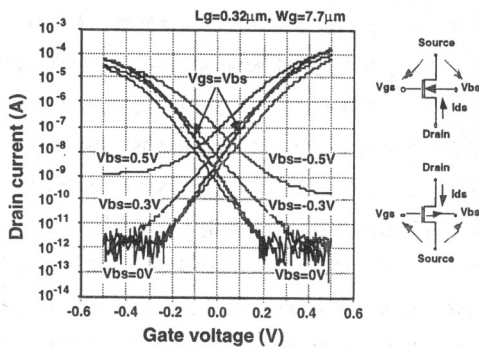


図2 トランジスタの V_{gs} - I_{ds} 特性

力動作を同時に実現する手法として有効であることが確認できる。

3. ボディ電圧制御型 SOI/CMOS ゲートアレイ

ゲート・ボディ接続回路(ボディ電圧制御型回路)を実現出来るゲートアレイのセル構造について検討した。図3に今回開発したゲートアレイのベーシックセル構造、及び2NANDゲートのレイアウト図を示す。トランジスタのゲート長は $0.32\mu\text{m}$ 、ゲート幅は $7.7\mu\text{m}$ である。ゲート幅は、大きすぎるとボディ領域の抵抗によって高周波動作が困難になるため、ボディ領域の抵抗を考慮した回路シミュレーションにより決定した。0.5Vの電源電圧では、 $7.7\mu\text{m}$ のゲート幅で400MHz程度の高速動作が可能なシミュレーション結果である。

同極トランジスタ同士はゲートアイソレーション方式によって分離する。また、ボディコンタクト領域は、ゲートアイソレーション用のコンタクトを配置するポリシリコン領域を利用して引き出した。これによって、ゲート・ボディ接続に伴う面積の増大を最小限に押さえている。PMOSとNMOSの素子分離は、通常のLOCOS分離を使用している。また、NMOSのLOCOSエッジ部での寄生MOSのリーク電流を抑制するために、LOCOSエッジ部にボロンを注入して寄生MOSのしきい値電圧を上げて

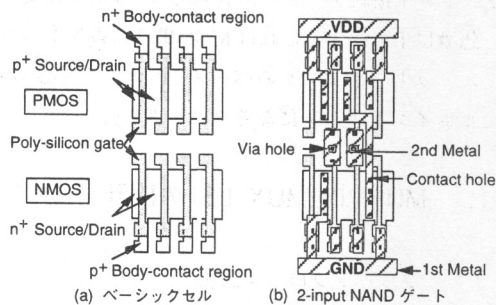


図3 SOI/CMOS ゲートアレイのセル構造

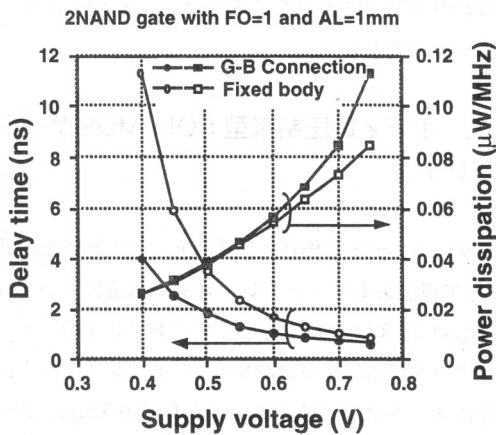


図4 基本ゲートの速度と消費電力

いる。

図4に、開発したベーシックセルを用いて構成した2NANDゲートの遅延時間と消費電力を示す。ゲート・ボディ接続構成の優位性を検証するために、ボディ領域をVDDまたはGNDに固定した2NANDゲートも同一ベーシックセル上に構成した。負荷条件は、F.O. (ファンアウト) =1とアルミ配線1mmである。電源電圧が0.5Vの時のゲート・ボディ接続ゲートの遅延時間は1.8nsであり、ボディ固定ゲートの遅延時間3.5nsに対して1.9倍高速に動作する。このときの消費電力はほぼ同じであるが、これは消費電力の大部分がアルミ配線の容量の充放電に費やされているためである。しかしながら、ゲート・ボディ接続ゲートの消費電力は、0.65V程度から急激に上昇する。これはMOS構造に寄生するバイポーラトランジスタのベース(ボディに対応)がビルトイン電圧以上になるためである。

3. MUX, DEMUX LSI の設計

(1) フリップフロップ回路

高速・低消費電力LSIを実現するためには、デバイス技術のみならず、そのデバイスの長を十分に

引き出す回路構成の検討が重要である。

MUX, DEMUX LSIの設計にあたり、その中で多用されるフリップフロップ回路について回路構成の検討を行った。

SOI/CMOSは、bulk/CMOSに比べて接合容量は小さいが、ゲート容量や配線容量は同程度である。よってSOI/CMOS構造の特長を十分に活かすには、小さなF.O.負荷で且つ短い配線で回路ブロックを構成する必要がある。

図5に従来のダブルレール型フリップフロップ回路を示す。このフリップフロップ回路は、一般のシングルレール型フリップフロップ回路の比へて高速に動作する[3]。しかし、素子数が多いためゲート容量や配線容量が大きくなり、SOI/CMOS構造の特長を活かすためには更なる改良が必要である。

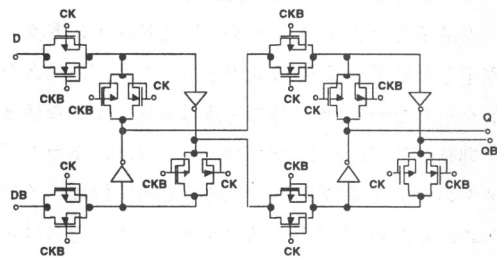
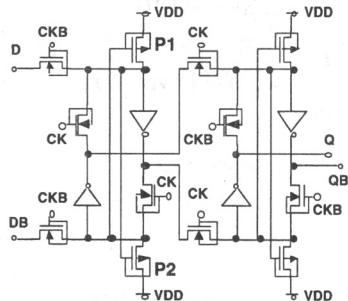


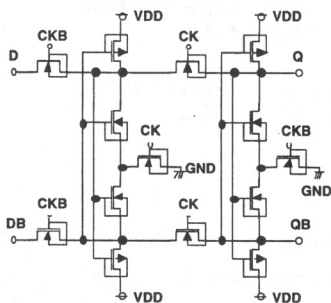
図5 従来のダブルレール型FF回路

図6に、我々の提案するフリップフロップ回路を示す。Type-Aのフリップフロップ回路は、従来のダブルレール型フリップフロップ回路と異なり、パストランジスタ部分をNMOSのみによって構成する。データ保持ループには、ドレイン端子とゲート端子がクロスカップルされたPMOS(P1, P2)を付加する。これによって、NMOSパストランジスタで生じる出力のしきい値電圧低下を防いでいる。本フリップフロップ回路は従来のダブルレール型回路に比べて素子数が少なく、したがって、小さなF.O.負荷で且つ短い配線で回路ブロックを構成することができる。回路シミュレーションの結果では従来のダブルレール型回路に比べて30%高速で且

つ25%低電力で動作する。



(a) Type-A configuration



(b) Type-B configuration

図6 新提案ダブルレール型FF回路

Type-Bの回路構成は、Type-Aをさらに改良したフリップフロップ回路である。データ保持部分をNMOSを直列接続した2つのインバータゲートのみで構成することによって、Type-A構成より、さらに6つトランジスタ数を削減している。

図7は、ボディ電圧制御型SOI/CMOSゲートアレイ上に構成したフリップフロップ回路のレイアウト例を示す。Type-Aの場合、27ベーシックセルから構成される。

図8にType-AとType-Bのフリップフロップ回路を用いて構成した1/8分周期の動作周波数と消費電力の評価結果を示す。8ビット分周期はフリップフロップ回路を3段直列に接続して構成した。電源電圧は0.5Vである。Type-Aを用いた分周期の最高動作周波数は600MHzであり、Type-Bの場合の

Type-A F/F回路 (27BC, 1.6 μm ピッチ)

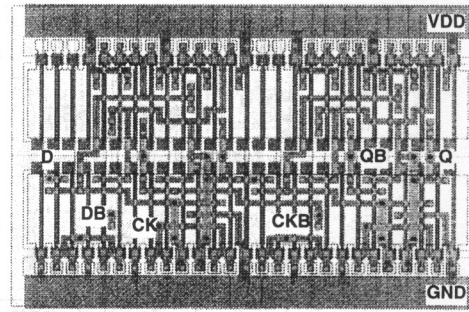


図7 レイアウトパターン

340MHzに比べて、1.8倍高速に動作する。これはType-Aのフリップフロップ回路の出力が高駆動能力のインバータゲートにより充放電されるのに対し、Type-Bにおいては、出力がプルアップのPMOSとバストランジスタのNMOSを介して駆動されるためである。消費電力を比較すると、Type-BがType-Aより低消費電力である。例えばクロック周波数が300MHzにおいては、Type-Bの消費電力は50 μW であり、Type-Aの66 μW に対して、24%低消費電力である。これはType-Bの方が寄生容量が小さく、またNMOSトランジスタの直列接続によって回路の貫通電流が低減されているためである。

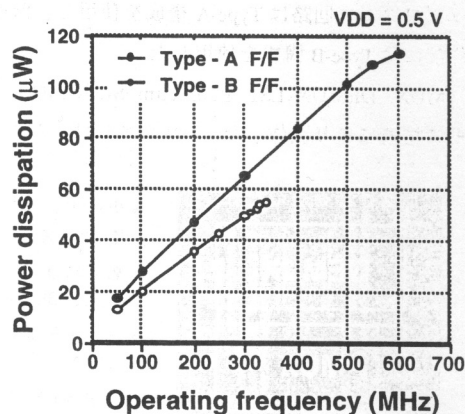


図8 1/8分周期の動作周波数と消費電力

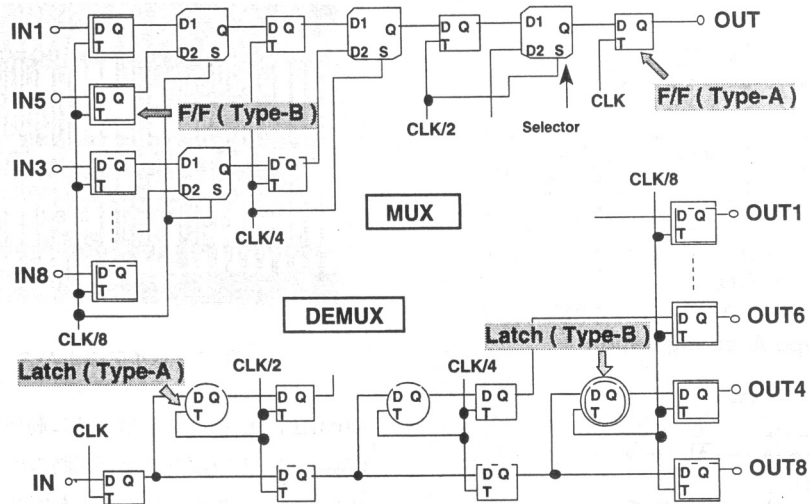


図 9 8-bit MUX, DEMUX

(2) MUX, DEMUX LSIの構成

図9に8ビットMUX, DEMUX LSIのブロック図を示す。DEMUXは2ビットの分周器をツリー状に配置する構成を採用し、MUXは2ビットのセレクタをツリー状配置する構成を採用した[3]。LSIの性能を最大限に引き出すために、上記フリップフロップ回路の検討結果をもとに、高速動作部のフリップフロップ回路はType-A構成を使用し、低速動作部にはType-B構成を使用した。

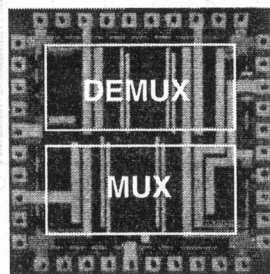
MUX, DEMUX LSIを0.32 μ m SOI/CMOSプロセス技術により試作した。SOIウエハは、スタンダ

ードのHigh-Doseウエハを用いた。SOI層と埋め込み酸化膜の厚さは、それぞれ100nmと400nmである。

図10に2mmx2mmゲートアレイマスタ上に試作したMUX, DEMUX LSIのチップ写真を示す。敷き詰めゲート数は約6,000である。8ビットDEMUX LSIは約490のトランジスタから構成され、8ビットMUX LSIは約720のトランジスタから構成される。

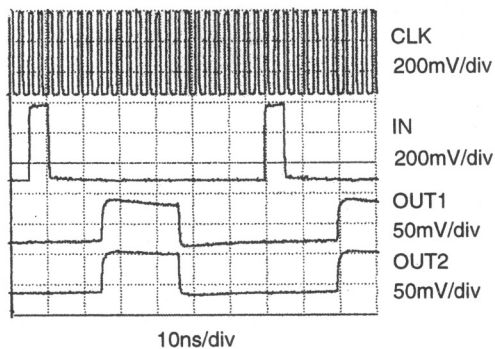
4. LSIの評価結果

図11に試作した8ビットMUX, DEMUX LSIの動作波形を示す。測定は50 Ω 系の高周波評価システムを用いて行い、コアキシャルプローブを使用してウエハ状態で行った。また、評価システムの50 Ω 抵抗に流れる電流による消費電力を取り除くため、出力はキャパシタを介してモニタした。MUX LSIには8ビットの平行データを入力し、DEMUX LSIには、24ビットのシリアル入力データを入力した。DEMUX LSIにおいてOUT1

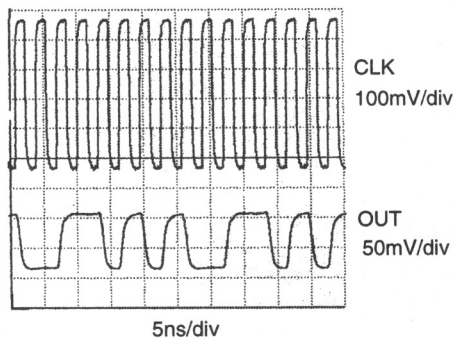


- チップサイズ
2.0mm X 2.0mm
- 敷き詰めゲート数
6,000 (36K Tr.)
- 8-bit DEMUX
490 Tr.
- 8-bit MUX
720 Tr.

図 10 MUX, DEMUX のチップ写真



(a) DEMUX waveforms (380MHz)
(Input pattern ; 110000000000000000000000)



(b) MUX waveforms (320MHz)
(Input pattern ; 00110101)

図 11 MUX, DEMUX 動作波形

、OUT2は、1ビット目と2ビット目の出力を示している。

図 12は、8ビット MUX, DEMUX LSI の動作速度と消費電力の評価結果を示す。電源電圧が 0.8V の時、DEMUX LSI は 710MHz、MUX LSI は 600MHz の高周波まで動作する。また、0.5V という超低電源電圧においても、DEMUX LSI は 380MHz、MUX LSI は 320MHz の高周波で動作する。0.5V 時の消費電力は、DEMUX LSI は 1.4mW、MUX LSI は 2.0mW と非常に小さい。これは従来の MUX, DEMUX LSI の消費電力と比べて 2 桁以上小さい値である[4]。

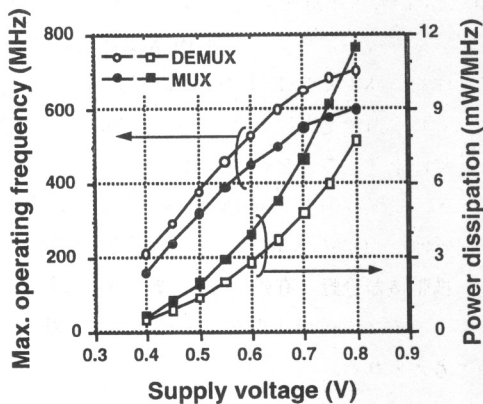


図 12 MUX, DEMUX の速度と消費電力

表 1は、MUX, DEMUX LSI の試作に用いたトランジスタの特性をまとめたものである。ゲート酸化膜厚は 7.0nm である。ゲートとボディを接続することにより、ボディ電位の固定時に比べてしきい値が、PMOS、NMOS 共に約 50mV 程度下がっている。PMOS のドレイン電流はボディを固定した時の約 2.2 倍、NMOS の場合は約 2.5 倍であり、ゲートとボディを接続することによりトランジスタの駆動能力が向上している。

表 1 トランジスタ特性

	PMOS	NMOS
VDD	0.5V	
Tox	7.0nm	
Gate Length	0.32 μ m	0.32 μ m
Gate Width	7.7 μ m	7.7 μ m
Vth (Fixed body)	0.28V	0.25V
Vth (DTMOS)	0.22V	0.20V
Ids (Fixed body)	26 μ A	60 μ A
Ids (DTMOS)	57 μ A	150 μ A

5. まとめ

0.32 μ m ボディ電圧制御型 SOI/CMOS ゲートアレイを開発した。また、SOI/CMOS のメリットを活かした新規フリップフロップ回路の提案を行い、本回路を用いてゲートアレイ上に 8 ビット

MUX, DEMUX LSI を設計し、評価を行った。0.5V の超低電源電圧のもとで、DEMUX LSI は 380MHz で動作し、MUX LSI は 380MHz で動作する。またその時の消費電力は、それぞれ、2.0mW、1.4mW と非常に小さいことを確認した。

ボディ電圧制御型の SOI/CMOS ゲートアレイは、太陽電池 (~0.6V) を電源とする低電力化が要求される携帯機器分野に有効であり、またさらに新しいマルチメディア市場を開拓するデバイス候補の一つと考えられる。

参考文献

- [1] T. Kuroda, et. al., "A 0.9V 150MHz 10mW 4mm² 2D Discrete Cosine Transform Core Processor with Variable Threshold Voltage Scheme", *ISSCC, Digest of Tech. Papers*, pp. 166-167, 1996.
- [2] P. S. Fechner, et. al., "RADIATION HARDENED SOI CMOS AND 1M SRAM ", *International SOI conference, Digest of Tech. Papers*, pp. 172-173, 1997.
- [3] S. Yasuda, et. al., "3Gb/s CMOS 1:4 MUX and DEMUX ICs", *IEICE Transactions on Electronics*, Vol. E78-C, no. 12, pp. 1746-1753, Dec. 1995.
- [4] K. Ueda, et. al., "3.0Gb/s, 272mW, 8:1 Multiplexer and 4.1Gb/s, 388mW, 1:8 Demultiplexer", *Symp. on VLSI Circuits, Digest of Tech. Papers*, pp. 123-124, 1994.