

スマートアクセスセンサ

東京大学
浅田邦博
根塚智裕
大池祐輔

1 はじめに

従来の画像センサにおいては、ラスタスキャンを用いてフレーム毎に全ての画素の情報を読み出す。コンピュータビジョンなどの応用分野では、求められる情報の画像情報全体に対する割合は小さい。そのため、従来の画像センサにおいては、冗長な走査と情報の出力が行われる。我々は、センサ面上における画像情報の走査に階層型のアクセスパスを用いることにより、必要な情報を取得するための走査のサイクル数を削減するスマートアクセス方式を提案した。

2 スマートアクセスとその応用

スマートアクセスの応用例として、スポット光やシート光などの能動光源を用いた3次元計測が挙げられる。図1に3次元計測の原理を示す。スポット光やシート光を用いた3次元計測においては、対象物に投射した光のセンサ面上における位置の情報と光の投射方向の情報を用い、3角測量の原理に基づいて対象物の3次元座標を取得する。このときセンサ面上に現れる投射光のパターンは、スポット光の場合には点となり、シート光の場合には曲線となる。3次元情報の取得に必要な点や曲線の座標の情報は、画像全体のうち特定の領域のみに存在するため、ラスタスキャンを用いた場合には、冗長な走査が行われる。

我々は、点や曲線の座標の取得に4進木スキャンや2

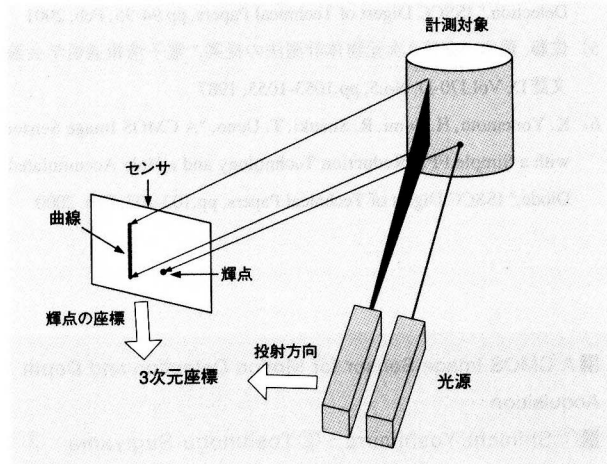


図1 3次元計測の原理

進木スキャンと呼ぶスマートアクセス方式を用いることにより、従来のラスタスキャンと比較して少ないサイクル数による座標の取得を実現した。図2 (a), (b) にそれぞれ4進木スキャンおよび2進木スキャンの概念図とその実現法の概要を示す。

4進木スキャンにおいては、画像の中を4分探索することにより、センサの解像度に対し、 $\log n$ のオーダーのサイクル数（遅延時間）で点の座標の情報を取得する。4進木の各ノードの値はそのサブツリーの値の論理和となる。論理和が0のノードのサブツリーのスキャンをスキップすることにより冗長なサイクルを削減する。4進木スキャンの実際の実現は、可変ブロックアクセスと呼ぶ方式により4進木のノードの値を取得して実現する。実装の詳細は、3節にて解説する。

2進木スキャンにおいては、各行において2分探索を

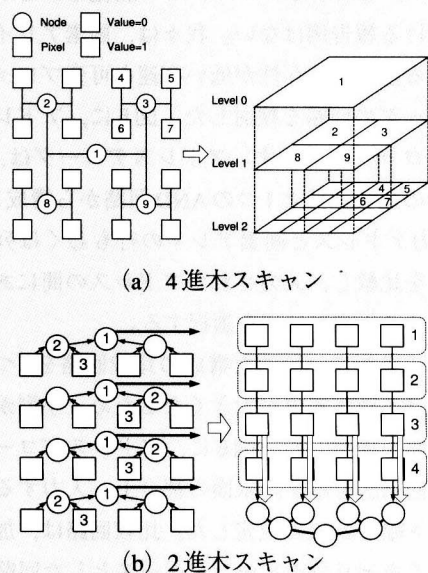


図2 スマートアクセス方式とその実現法

行い、1行の画素数に対して $\log n$ のオーダーの時間で曲線の座標を取得する。各行で並列に2進木スキャンを実現するのが理想的でありそれも可能であるが、ハードウェア量が大きくなる問題がある。各行に配置していた2進木スキャンの機能を画素アレイ外に配置し時分割多重利用することにより、効率的な実装が実現される。この方式では、並列度が下がるため各行で並列に2分探索を行った場合と比較して速度が低下するが、得られた座標のデータを限られたピン数で出力する場合には、データの出力がボトルネックとなり、2つの方式の実質的な差は小さい。

図3に各方式を用いた場合の1枚の3次元情報（レンジマップ）の取得時間の解像度依存性を示す。ここでは、画像の情報にアクセスする時間のみについて考慮した。また、センサの製造に用いるプロセスを $0.35\mu\text{m}$ のCMOSプロセスであると仮定した。

スポット光を用いる3次元計測をラスタスキャンを用いて行う場合には、対象物上の3次元座標を100万点取得すると仮定すると、読み出し時間がボトルネックとなるため、1枚の距離画像の取得に画像へのアクセスのみで数時間が必要となる。4進木スキャンを用いた場合には、1枚の距離画像の取得に必要なアクセス時間は数秒

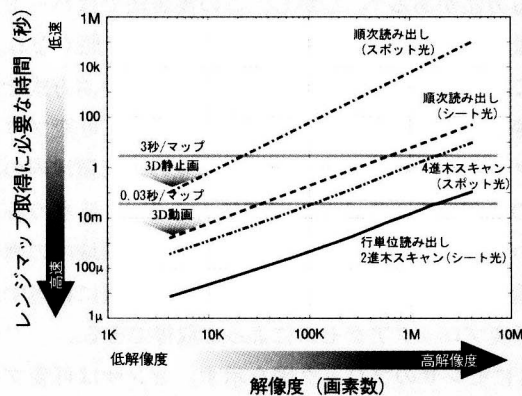


図3 各方式のレンジマップ取得時間の解像度依存性

程度となる。スポット光を用いた3次元計測は比較的高精度であり、高精度に静止した物体の3次元形状を得るためには、4進木スキャンが適している。

シート光を用いた場合には、スポット光を用いた場合と比較して精度は落ちるが、1枚の画像から取得可能な3次元情報が多いため、高速化が可能である。シート光を用いた場合にはラスタスキャンを用いた場合においても、数万画素程度までは静止画を数秒程度で取得できる。さらなる高解像度化および動画レベルの速度での3次元情報の取得は、より高速な2進木スキャンにより実現できる。行単位の読み出しを用いた2進木スキャンにより、100万画素程度の解像度においても動画レベルの速度が得られる。

3 スマートアクセスを用いた画像センサの実現例

3.1 静止物体の3次元計測用スマートアクセスセンサ

本節では、スポット光を用いた静止物体の3次元形状計測向けの4進木スキャン機能を有する画像センサの実現例について述べる。

4進木スキャンは、4進木のノードの値に基づいて走査の手順が決定される。そのため、4進木の各階層のノードの値を取得できれば、4進木スキャンを実現することが可能である。最も直感的な実装法としては、画素アレイ内に4進木構造（図2 (b) 左）をもった制御回路を配

置する方法がある¹⁾。しかし、この実装法ではハードウェア量が大きくなり、画素アレイの対称性も悪くなる。

そこで、我々は可変ブロックアクセスと呼ぶ方式を用いて等価的に4進木スキャンを実現した²⁾。可変ブロックアクセスを用いることにより、任意の矩形領域内の画素値の論理和を1サイクルで取得できる。4進木の各ノードの値は、画素アレイ内の対応する矩形領域内の画素値の論理和と等しいため、4進木のノード値に相当する値が可変ブロックアクセスによって取得できる。

図4にセンサのブロック図を示す。センサは可変ブロックアドレスデコーダを用いて、画素アレイの矩形領域を選択し、4進木のノードの値を可変ブロック論理和回路により取得する。取得されたノードの値をもとにスキャン制御回路によって4進木スキャンの制御が行われ、スキャンによって得られた情報をもとにポジション演算回路が点の座標を演算する。この実装方式では、スキャン制御回路の規模が小さく、かつ、画素アレイの外に配置されるため、画素アレイが高解像度化できる。

4進木スキャンを実現するための可変ブロックアドレスデコーダの実装には、4進木スキャンに特化した実装も可能であるが³⁾、任意の矩形領域にアクセス可能な汎用の可変ブロックアドレスデコーダを用いる方が汎用性が高い。汎用のアドレスデコーダを用いた場合には、領域のマスクやスキャンを行う領域のシフトなどの実現も容易である。

汎用の可変ブロックアドレスデコーダの概念は、通常

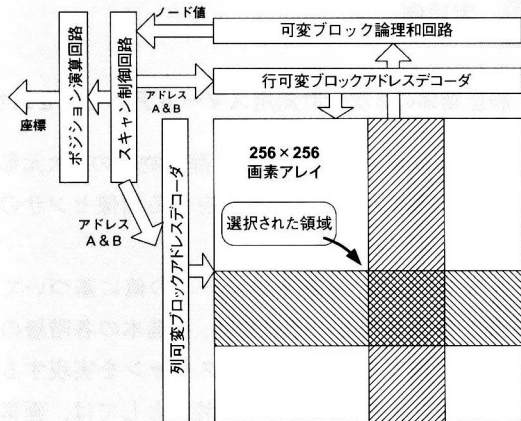


図4 センサのブロック図

の1点をアクセスするデコーダの一般化であるが、この分野における報告例はない。我々は、画素アレイの解像度に対する速度の依存性が低い高速な可変ブロックアドレスデコーダの回路を検討した。図5に、アドレスデコーダのブロック図を示す。アドレスデコーダは、1行あたり2つの比較回路と1つのAND回路から構成される。2組の入力アドレスと画素アレイの行もしくは列固有のアドレスを比較し、入力されたアドレスの間にある全てのアドレスの行または列を選択する。

しかし、各行に一般的な構成の比較回路を2つ配置した場合には、回路規模が大きくなるため、小型かつ高速の比較回路を検討した。図6に、アドレスデコーダ用比較回路の回路図を示す。紙面の都合上、入力するアドレスのビット幅を2-bitと仮定した。比較回路は、加算器に用いられるキャリチェーンをベースとした回路で構成した。比較回路の一方の入力が固定のアドレスであるため、一般的な比較回路と比較して小型化できる。トランジスタ数はアドレス1-bitあたり3トランジスタとなる。この回路は、連想メモリの探索領域選択等の用途にも応用が可能である。

図7に試作した3次元計測システムのブロック図を示す。システムは、レーザスキャナおよび試作したチップに光学系をマウントしたカメラで構成される。スキャナ

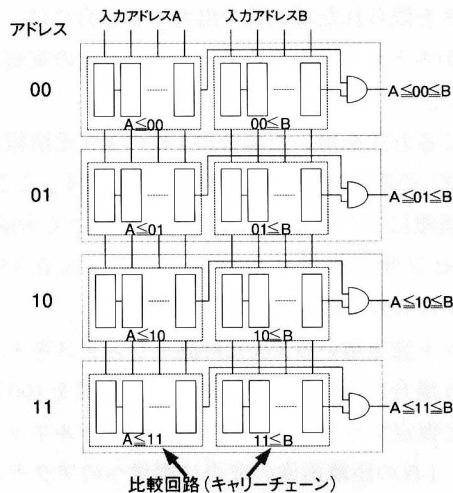


図5 アドレスデコーダのブロック図

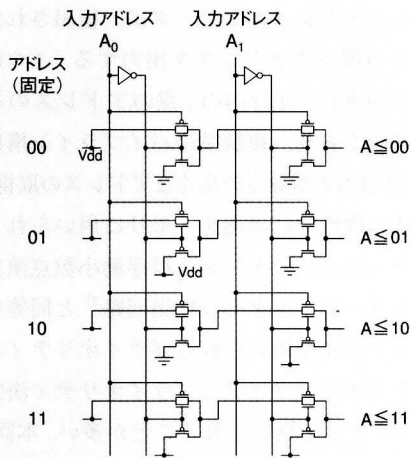


図6 アドレスデコーダ用比較回路の回路図

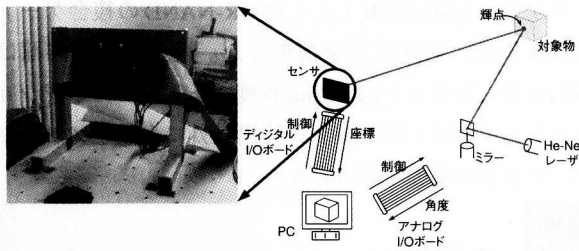


図7 3次元計測システムのブロック図

およびカメラから出力される点の座標と、スポット光の投射の方向の情報をもとにホストコンピュータによって対象物の3次元座標を計算する。

図8に対象物の写真とその3次元形状の取得例を示す。球形の対象物の表面上の100×100点の3次元座標を取得した。このシステムを用いることにより、対象物までの距離に対して0.4%程度の精度で3次元形状を計測でき

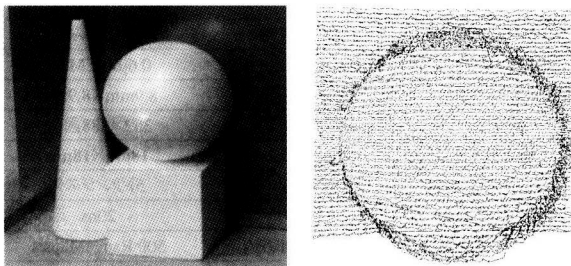


図8 対象物と3次元形状の取得例

る。なお、センサ単体の点の座標の検出精度の平均値は0.1画素程度である。

3.2 動物体の3次元計測用スマートアクセスセンサ

動物体の3次元計測においては、2節で述べたようにシート光を用いる必要がある。我々は、シート光を用いた3次元計測向けの行単位2進木スキャンセンサの設計を行った。図9にセンサのブロック図を示す。センサは画素アレイ、エッジ検出回路およびポジション検出回路から構成される。

図10に画素の回路図を示す。画素の回路は、受光部、ソース接地アンプおよび出力回路から構成される。受光部は、フォトダイオードおよびリセットトランジスタで構成される。リセットトランジスタにより、フォトダイオードがリセットされ、リセットトランジスタをオフにすることで、光電流の蓄積が開始される。受光部の出力は、ソース接地アンプの入力に接続され、信号が増幅(2値化)される。ソース接地アンプには、選択トランジスタが追加されている。選択トランジスタがオンの時のみ出力トランジスタがオンとなる。また、選択トランジスタはオフにすることで消費電流を抑えるスイッチとしても機能する。この画素回路は、画素内にラッチを配置し、完全に2値化するタイプと比較して、信号線数が1本、トランジスタ数が8個少ない。

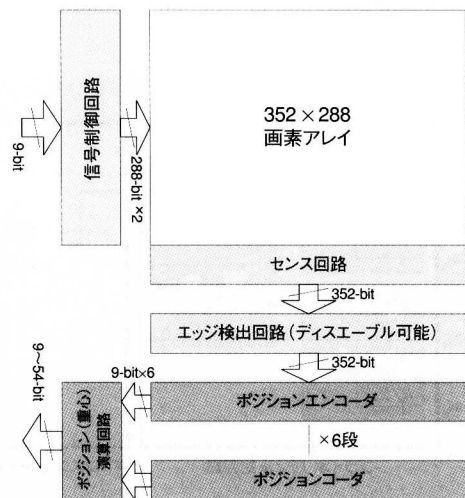


図9 センサのブロック図

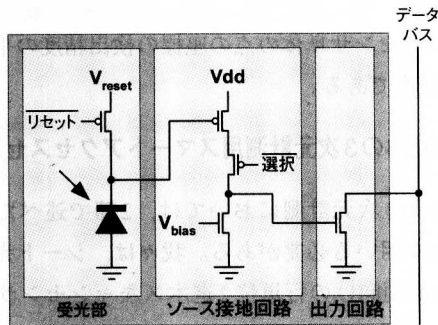


図10 1画素の回路図

このセンサでは、回路規模の縮小のために1つの2分探索を行う回路を時分割多重で用いるため、1行分のポジション検出の高速化が重要である。2進木スキンの直接的な実現方式では、順序回路を用いるが、速度を優先させるために組み合わせ論理回路によりポジションエンコーダを実現した。この際、画素ピッチが狭いため、回路規模が小さく、画素アレイからの広いビット幅の出力に対応可能な回路構成となるように留意した。

図11にポジションエンコーダの回路図を示す。紙面の都合上、4画素分の処理を行う回路を示すが、回路のツリー構造を深くすることにより、対応可能な画素数を増やすことができる。ポジションエンコーダは、プライオリティ決定回路とアドレスエンコーダから構成される。プライオリティ決定回路は、最もアドレスが若い輝点を検出し、その情報をマスクして次のパイプライン段

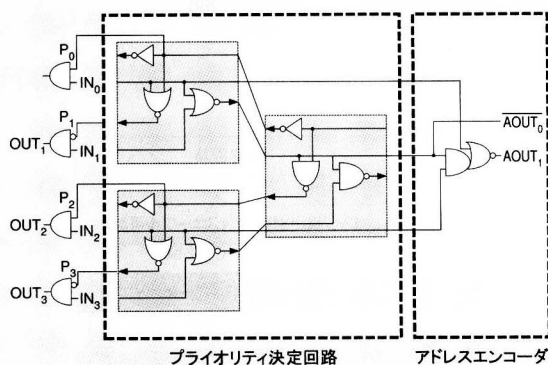


図11 ポジションエンコーダの回路図

に出力する。アドレスエンコーダは、検出された最も若いアドレスの輝点のアドレスを出力する。1つのポジションエンコーダは、1行内の1点のアドレスのみのエンコードが可能であり、複数段のパイプライン構成とすることにより1行内の複数点の高速なアドレスの取得を行う。

本回路は、機能的には連想メモリに用いられているプライオリティエンコーダ⁴⁾および浮動小数点演算回路に用いられるリーディングゼロ検出回路⁵⁾と同等のものである。連想メモリで用いられるプライオリティエンコーダは、アドレスエンコーダとプライオリティ決定回路が別のブロックとして構成されることが多い。本回路では、プライオリティ決定回路の途中の信号をアドレスの生成に利用し、信号の伝播ゲート数を2/3程度に削減した。また、リーディングゼロ検出回路で用いられるマルチプレクサを、AND-NORもしくはOR-NANDの複合ゲートで置き換え、回路規模を縮小した。回路の遅延時間は352-bitの入力ビット幅で20ns程度である。このポジションエンコーダは、ポジション検出以外にも連想メモリやルータなどに幅広く応用できる。

4 まとめ

本稿では、スマートアクセスを用いたセンサの応用とその実現方式について報告した。表1に4進木スキンをを用いたセンサと行単位読み出し2進木スキンをを用いたセンサのスペックを示す。

4進木スキンスンサは1フレームあたりの速度は高速であるが、スポット光を用いることを想定しているため3次元計測に必要な時間が大きくなるが、比較的高い精度での静止した物体の計測には向いている。行単位読

表1 センサのスペック

走査方式	4進木スキュン	行単位読み出し
プロセス	0.6μm CMOS	0.6μm CMOS
チップサイズ	8.9mm×8.9mm	8.9mm×8.9mm
画素数	256×256画素	352×288画素
画素サイズ	26μm×26μm	18μm×18μm
トランジスタ数/画素	13トランジスタ	5トランジスタ
サイクルタイム	25ns	20ns
最大3次元計測速度	6 RangeMaps/s	500 RangeMaps/s
ポジション検出精度	0.1 Pixel (実測値)	0.25-0.5 pixel (予測値)



み出し2進木スキャンを用いたセンサでは、1フレームの取得に必要な時間は多くなる。しかし、シート光を用いるため3次元計測の速度は高速であり、動く物体の3次元計測に向いている。表1では、0.6 μ mのCMOSプロセスを仮定しているが、0.18 μ mのプロセスを用いることにより、100万画素相当のセンサが実現できる。

参考文献

- 1) J. Akita and K. Asada, "An Image Scanning Method with Selective Activation of Tree Structure", IEICE Trans. on Electronics, E80-C, No.7, pp.956-961, Jul. 1997.
- 2) T. Nezuka, M. Hoshino, M. Ikeda and K. Asada, "A Position Detection Sensor for 3-D measurement," Proc. of European Solid-State Circuit Conference, pp.135-138, Sep. 2000.
- 3) 根塚, 秋田, 浅田, "4進木スキャン機能を有するスマートセンサ", 映像情報メディア学会誌, Vol. 55, No. 2, pp.287-292, Feb. 2001.
- 4) T. Yamada, et. al., "A 288-kb Fully Parallel Content Addressable Memory using a Stacked-Capacitor Cell Structure," IEEE JSSC, Vol. 27, No. 12, Dec. 1992.
- 5) H. Suzuki, et. al., "Leading-Zero Anticipatory Logic for High-Speed Floating Point Addition," IEEE JSSC, Vol. 31, No. 8, pp.1157-1164, Aug. 1996.

※本チップ試作は東京大学大規模集積システム設計教育研究センターを通し ローム(株)および凸版印刷(株)の協力で行われたものである。

■ CMOS Image Sensor with Smart Access Capability and Its Application.

■①Kunihiro Asada ②Tomohiro Nezuka ③Yusuke Oike
 ■VLSI Design and Education Center, University of Tokyo.

■The conventional image sensors scan and output all pixels and information on their pixel arrays using the raster scan. In several applications, such as computer vision, the essential information is a small part of the entire image. So, there are redundant scan cycles and information in scanning data stream.

From these points of view, we have developed a smart access method that reduces scan cycles to acquire necessary information using a hierarchical access path to sensor planes.



①アサダ クニヒロ

所属：東京大学大規模集積システム設計教育研究センター

連絡先：〒113-8656 東京都文京区本郷7-3-1 東京大学工学部14号館529号室電子工学科浅田研究室

Tel.03-5841-6719 Fax.03-5841-8912

E-mail: asada@silicn.t.u-tokyo.ac.jp

経歴：1952年福井市生まれ。1980年3月東京大学工学系研究科電子工学博士課程修了(工学博士)。1980年4月より東京大学に任官。同講師、同助教授をへて1995年東京大学工学系研究科教授(電子工学科)。1996年東京大学大規模集積システム設計教育研究センター(VDEC)の設立に伴い異動、現在に至る。1985-1986年英国エディンバラ大学訪問研究員。1990-1992年電子情報通信学会英文誌エレクトロニクス(初代)エディタ。2001年-2002年IEEE SSCS Japan Chapter Chair。専門、集積システム・デバイス工学。著書、「アナログ電子回路」(昭光堂 1998) 「VLSIの設計 I, II」(共著, 岩波, 1985) 他。



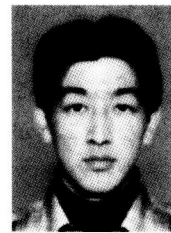
②ネヅカ トモヒロ

所属：東京大学大学院工学系研究科電子工学専攻博士過程3年

連絡先：①と同じ

E-mail: nezuka@silicon.t.u-tokyo.ac.jp

経歴：1975年生まれ。1997年東京大学工学部電子工学科卒業。1999年同大学院工学系研究科電子工学専攻修士過程修了。同年同大学院博士過程進学、現在に至る。CMOSイメージセンサ、スマートポジションセンサの研究に従事。



③オオイケ ユスケ

所属：東京大学大学院工学系研究科電子工学専攻修士過程2年

連絡先：①と同じ

E-mail: y-oike@silicon.u-tokyo.ac.jp

経歴：1977年生まれ。2000年東京大学工学部電子工学科卒業。同年同大学院工学系研究科電子工学専攻修士過程進学、現在に至る。CMOSイメージセンサ、スマートポジションセンサの研究に従事。